



Cyrille CHAVET

Maître de Conférences
Informatique et systèmes électroniques embarqués

“
*Faire de la science,
c'est accepter de se tromper cent
fois et d'apprendre de ses erreurs
jusqu'à la satisfaction d'une bonne
solution*
”

BIO

Après avoir exploré les problématiques de communications pour l'outil de haut niveau GAUT dans le cadre de sa thèse (2007 - UBS et STMicroelectronics-Grenoble), Cyrille Chavet passe un an au laboratoire TIMA de Grenoble avant de rejoindre l'UBS en 2009 en tant que maître de conférences. Il s'intéresse tant aux méthodologies de conceptions assistées par ordinateurs, qu'à l'optimisation des communications dans les processeurs, et plus particulièrement aux réseaux de communication pour des architectures flexibles de codes correcteurs d'erreurs. Actuellement, le projet FlexDEC-5G le plonge dans les problématiques liées au déploiement de la 5G. Suivront des travaux sur l'intégration des contraintes liées aux communications à distance et bas débits : mises à jour des réseaux de neurones dédiées à l'IA, architectures de processeurs destinés au chiffrement post-quantique.



Lien vers la biographie complète



50% de l'activité du chercheur
dédiée à la cybersécurité

Focus :

Recherche

Domaine applicatif

Données essentielles

Doctorant.e.s : 7

Post-doctorant.e.s : 3

Publications : 6 - IEEE TSP, IEEE TCAD, IEEE TCAS-II, etc.

Conférences : 40 - DATE, FPL, ICCAD, ICASSP, ISCAS, GLS-VLSI, etc.

Livre(s) : 1 - Advanced Hardware Design for Error Correcting Codes, Springer 2015

Brevet(s) : 4 - Dispositifs pour la communication ; Réseaux de neurones matériels

Collaborations internationales : Université de Bologne (Italie)

Axe(s) de recherche

Outils de CAO et Sécurité matérielle

Champs d'expertise

Outils de CAO & Synthèse de haut niveau

Architectures pour les communications numériques

Architectures pour la cryptographie post-quantique

Exemples d'applications

Optimisation des architectures pour les codes correcteurs d'erreurs

Sécurisation des communications numériques

Projets collaboratifs & Implications

FlexDEC-5G (projet FEDER / Leader : Turbo Concept) - développement de décodeurs de codes correcteurs 5G

SENSE (projet CominLabs/Leader : LabSTICC) - réseaux de neurones avec Telecom Bretagne, IRISA

Projet P (projet FUI / Leader : Airbus) – définition d'un modèle commun pour le développement de systèmes logiciels et matériels avec les pôles Aerospace Valley, Systematic et partenaires industriels.

Domaine

Communication
& Sécurité matérielle

Mots clés

CAO & HLS
Architecture matérielle
et logicielle
Communication numérique
VDHL

Contact

cyrille.chavet@univ-ubs.fr
+33 2 97 87 45 67